

SEMICONDUCTOR OUTPUT CIRCUIT

Patent Number: JP5062988
Publication date: 1993-03-12
Inventor(s): HANIBUCHI TOSHIAKI; others: 01
Applicant(s): MITSUBISHI ELECTRIC CORP
Requested Patent: ☐ JP5062988
Application Number: JP19910222834 19910903
Priority Number(s):
IPC Classification: H01L21/331; H01L29/73
EC Classification:
Equivalents:

Abstract

PURPOSE: To prevent a sharp rise in output from a semiconductor output circuit, to lessen power supply noises, and to prevent the occurrence of ringing.

CONSTITUTION: A multi-emitter transistor Tr2 provided with a multi-emitter region 3 composed of emitter regions 3a and 3b is used in a semiconductor output circuit. The emitter region 3a is connected to an output terminal 5 through the intermediary of a resistor 6, and the other emitter region 3b is directly connected to the output terminal 5. A sharp rise in output can be prevented by the resistor 6.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-62988

(43)公開日 平成5年(1993)3月12日

(51)Int.Cl.⁵

識別記号

庁内整理番号

FI

技術表示箇所

H01L 21/331

29/73

7377-4M

H01L 29/72

審査請求 未請求 請求項の数1(全3頁)

(21)出願番号 特願平3-222834

(22)出願日 平成3年(1991)9月3日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 埴淵 敏明

兵庫県伊丹市瑞原4丁目1番地 三菱電機

株式会社カスタム・エル・エス・アイ設計

技術開発センター内

(72)発明者 石井 将

兵庫県伊丹市瑞原4丁目1番地 三菱電機

株式会社カスタム・エル・エス・アイ設計

技術開発センター内

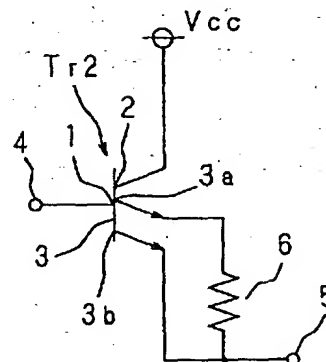
(74)代理人 弁理士 高田 守 (外1名)

(54)【発明の名称】 半導体出力回路

(57)【要約】

【目的】 出力の急峻な立ち上がりを抑制して、電源ノイズを低減すると共にリングングの発生を防止する。

【構成】 複数のエミッタ領域3a、3bからなるマルチエミッタ領域3を有するマルチエミッタトランジスタTr2を半導体出力回路に使用する。一方のエミッタ領域3aは抵抗6を介して出力端子5に接続され、他方のエミッタ領域3bは何も介さずに出力端子5に接続されている。抵抗6によって出力の急峻な立ち上がりが防止される。



- 1: ベース領域
- 2: コレクタ領域
- 3: マルチエミッタ領域
- 3a: エミッタ領域
- 3b: エミッタ領域
- 4: 入力端子
- 5: 出力端子
- 6: 抵抗
- Tr2: マルチエミッタトランジスタ

1

【特許請求の範囲】

【請求項1】 出力端子にそのエミッタ領域が接続されているトランジスタを有する半導体出力回路において、前記トランジスタは複数のエミッタ領域を有するマルチエミッタトランジスタであり、該マルチエミッタトランジスタの少なくとも1つのエミッタ領域はインピーダンス素子を介して前記出力端子に接続していることを特徴とする半導体出力回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体集積回路装置における半導体出力回路に関し、特にバイポーラトランジスタを有する半導体出力回路に関する。

【0002】

【従来の技術】 図1は従来のこのような半導体出力回路の回路図であり、図中Tr1はベース領域11とコレクタ領域12とエミッタ領域13とを有するバイポーラトランジスタである。ベース領域11と入力端子14とが結線されており、また、エミッタ領域13と出力端子15とが結線されている。コレクタ領域12には電源電圧Vccが印加されている。

【0003】 次に、動作について説明する。入力端子14に電流が流れていない場合には、バイポーラトランジスタTr1がオフ状態であるので出力端子15は“L”状態となる。そして、入力端子14に電流が流れた場合には、バイポーラトランジスタTr1がオン状態となって出力端子15は“H”状態となる。出力回路にバイポーラトランジスタTr1を使用しているため、動作時のオン電流が大きいことに特徴がある。

【0004】

【発明が解決しようとする課題】 従来の半導体出力回路は以上のように構成されているので、充放電の際の電荷変動が大きく、電源電圧の変動が起こって電源ノイズが発生するという課題がある。特に、このような出力回路を多数備えた場合には、この電源ノイズが多重化して動作不良となることがある。また、その出力は急峻に立ち上がるので、リングングを起こすという課題もある。

【0005】 本発明はかかる事情に鑑みてなされたものであり、出力の急峻な立ち上がりをなくして、電源ノイズを低減できると共にリングングの発生を防止できる半導体出力回路を提供することを目的とする。

【0006】

【課題を解決するための手段】 本発明に係る半導体出力回路は、マルチエミッタトランジスタを用い、このマルチエミッタトランジスタの少なくとも1つのエミッタ領域と出力端子との間に抵抗等のインピーダンス素子を介装してあることを特徴とする。

【0007】

【作用】 本発明の半導体出力回路では、エミッタ領域と出力端子との間に介装されたインピーダンス素子によ

2

り、出力の急峻な立ち上がりが防止される。インピーダンス素子を介装しているエミッタ領域においては、オンし始める時間は何も介装しない場合に比べて遅延するが、インピーダンス素子を介装しない他のエミッタ領域においてはこのような遅延はなく、全体としてオン、オフ動作時間に問題は生じない。

【0008】

【実施例】 以下、本発明をその実施例を示す図面に基づいて具体的に説明する。

10 【0009】 図2は本発明に係る半導体出力回路の回路図であり、図中Tr2は半導体出力回路に設けられたマルチエミッタトランジスタである。マルチエミッタトランジスタTr2は、ベース領域1とコレクタ領域2とマルチエミッタ領域3とを有しており、例えば本実施例では2個のエミッタ領域3a、3bを有している。ベース領域1と入力端子4とが結線されており、コレクタ領域2には電源電圧Vccが印加されている。マルチエミッタ領域3の一方のエミッタ領域3aと出力端子5とは、インピーダンス素子である抵抗6をその中間に介在して接続されている。他方のエミッタ領域3bと出力端子5とは、その中間に何も介在させることなく直接に接続されている。

【0010】 次に、動作について説明する。入力端子4に電流が流れていない場合には、マルチエミッタトランジスタTr2がオフ状態であるので出力端子5は“L”状態となる。そして、入力端子4に電流が流れた場合には、マルチエミッタトランジスタTr2がオン状態となって出力端子5は“H”状態となる。この際、抵抗6と接続していないエミッタ領域3bが先にオン状態となり、次いで抵抗6と接続しているエミッタ領域3aがオン状態となる。この結果、全体として、出力は急峻には立ち上がらず、所望の速度にてオン状態となる。

【0011】 ところで、トランジスタがマルチエミッタ型でなく、1個のエミッタ領域と出力端子との間にインピーダンス素子（抵抗）を介装する構成も考えられる。この場合には、オンし始める時間が従来例より遅くなるので、出力の急峻な立ち上がりを防止することは可能であるが、この遅延時間が長すぎて高速のオン、オフ動作を行えないという問題がある。これと比較して本実施例では、抵抗6を接続した一方のエミッタ領域3aではオンし始める時間は遅延することになるが、他方のエミッタ領域3bでは抵抗に接続されていないのでこのような遅延時間はなく、全体として高速のオン、オフ動作を行うことも可能である。

【0012】 また、トランジスタがマルチエミッタ型でなく、エミッタ領域にインピーダンス素子（抵抗）を接続させたトランジスタとエミッタ領域にインピーダンス素子（抵抗）を接続させないトランジスタとを並列に接続した構成も考えられる。このような構成では、出力の急峻な立ち上がりの防止のために、複数のトランジスタを半導体基板上に設けることになるので、高集積化には

50

3

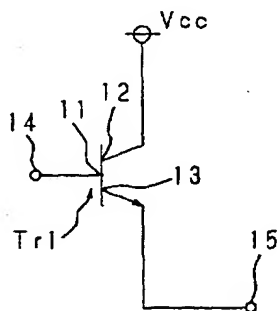
逆行するという問題がある。これと比較して本実施例では、1個のトランジスタを設けることによって出力の急峻な立ち上がりを防止できるので、集積度を低下させることはない。

【0013】なお、上述した実施例では、2個のエミッタ領域が存在する場合について説明したが、3個以上のエミッタ領域を有するマルチエミッタトランジスタを用い、少なくとも1個のエミッタ領域と出力端子との間にインピーダンス素子（抵抗）を設ける構成としても同様の効果を奏することは勿論である。

【0014】

【発明の効果】以上のように本発明の半導体出力回路では、マルチエミッタトランジスタの少なくとも1個のエミッタ領域と出力端子との間にインピーダンス素子を介装したので、出力の急峻な立ち上がりを抑制することが

【図1】



4

でき、電源ノイズの低減及びリンギングの発生防止を実現できる等、本発明は優れた効果を奏する。

【図面の簡単な説明】

【図1】従来の半導体出力回路の回路図である。

【図2】本発明の半導体出力回路の回路図である。

【符号の説明】

- 1 ベース領域
- 2 コレクタ領域
- 3 マルチエミッタ領域

10 3a エミッタ領域

3b エミッタ領域

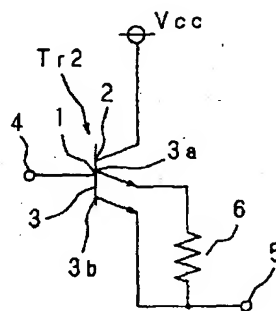
4 入力端子

5 出力端子

6 抵抗

Tr2 マルチエミッタトランジスタ

【図2】



- 1 : ベース領域
- 2 : コレクタ領域
- 3 : マルチエミッタ領域
- 3a : エミッタ領域
- 3b : エミッタ領域
- 4 : 入力端子
- 5 : 出力端子
- 6 : 抵抗
- Tr2 : マルチエミッタトランジスタ

